

FAMILIA LÓGICA **CMOS**

Alumno: José Antonio Sáez Muñoz
Asignatura: Fundamentos Tecnológicos de los Computadores
Profesor: Don Andrés Roldán
Curso: 1º de Ingeniería Informática – Grupo A

FAMILIA LÓGICA CMOS

ÍNDICE

	<i>PÁGS</i>
1. Introducción.....	3
2. Puertas lógicas de la familia CMOS	
A) INVERSOR CMOS.....	3-5
B) COMPUERTA NAND CMOS.....	5
C) COMPUERTA NOR CMOS.....	6
D) COMPUERTAS AND Y OR.....	6
3. Características de las series CMOS.....	6-7
4. Características comunes a todos los dispositivos CMOS.....	7-10
5. Comparación entre familias lógicas.....	11
6. Diferencias entre las familias CMOS y TTL.....	11
7. BIBLIOGRAFÍA.....	12

1. Introducción

Los diseñadores de circuitos integrados solucionan los problemas que se plantean en la integración, esencialmente, con el uso de transistores. Esto determina las tecnologías de integración que, actualmente, existen y se deben a dos tipos de transistores que toleran dicha integración: los bipolares y los CMOS y sus variantes.

A) Tecnología TTL: Lógica de Transistor a Transistor. Esta tecnología, hace uso de resistencias, diodos y transistores bipolares para obtener funciones lógicas estándar.

B) Tecnología CMOS: Lógica MOS Complementaria. Esta tecnología, hace uso básicamente de transistores de efecto de campo NMOS Y PMOS.

En la familia lógica MOS Complementaria, CMOS (Complementary Metal-Oxide Semiconductor), el término complementario se refiere a la utilización de dos tipos de transistores en el circuito de salida, en una configuración similar a la tótem-pole de la familia TTL. Se usan conjuntamente MOSFET (MOS Field-Effect transistor, transistor de efecto campo MOS) de canal n (NMOS) y de canal p (PMOS) en el mismo circuito, para obtener varias ventajas sobre las familias P-MOS y N-MOS. La tecnología CMOS es ahora la dominante debido a que es más rápida y consume aún menos potencia que las otras familias MOS. Estas ventajas son opacadas un poco por la elevada complejidad del proceso de fabricación del CI y una menor densidad de integración. De este modo, los CMOS todavía no pueden competir con MOS en aplicaciones que requieren lo último en LSI.

La lógica CMOS ha emprendido un crecimiento constante en el área de la MSI, principalmente a expensas de la TTL, con la que compite directamente. El proceso de fabricación de CMOS es más simple que el TTL y tiene una mayor densidad de integración, lo que permite que se tengan más circuitos en un área determinada de sustrato y reduce el costo por función. La gran ventaja de los CMOS es que utilizan solamente una fracción de la potencia que se necesita para la serie TTL de baja potencia (74L00), adaptándose de una forma ideal a aplicaciones que utilizan la potencia de una batería o con soporte en una batería. El inconveniente de la familia CMOS es que es más lenta que la familia TTL, aunque la nueva serie CMOS de alta velocidad "HCMOS" (SERIES HC y HCT), que vio la luz en 1983, puede competir con las series bipolares avanzadas en cuanto a velocidad y disponibilidad de corriente, y con un consumo menor, con las series 74 y 74LS.

El primer fabricante que produjo lógica CMOS, denominó a estos circuitos integrados como la serie 4000 (4000, 4001, etc.) y este sistema de numeración fue adoptado por otros fabricantes. Algunos fabricantes han producido una amplia gama de componentes CMOS siguiendo las funciones y asignación de pines de las familias TTL 74XX. Éstos reciben números de serie como 74CXX, 74HCXX, 74HCTXX, 74ACXX o 74ACTXX, en los cuales la "C" significa CMOS, la "A" indica que son dispositivos avanzados y la "T" indica que estos dispositivos son compatibles con los de las familias TTL (trabajan con los niveles lógicos y de alimentación TTL).

2. Puertas lógicas de la familia CMOS

A) INVERSORES CMOS.

Un dispositivo CMOS consiste en distintos dispositivos MOS interconectados para formar funciones lógicas. Los circuitos CMOS combinan transistores PMOS y NMOS, cuyos símbolos más comunes son los que se muestran en la Figura 1.

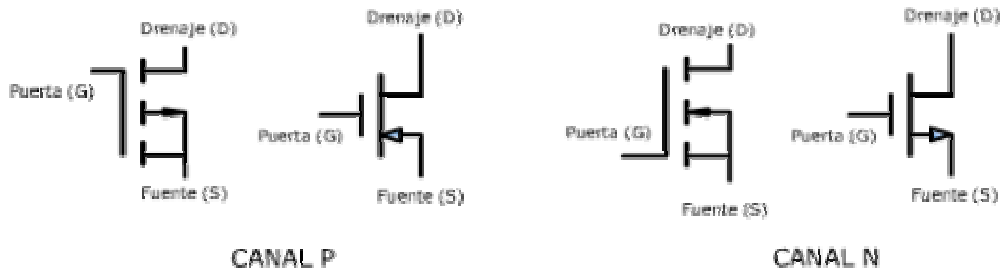


Figura 1. Símbolos más comunes de los transistores PMOS y NMOS.

La circuitería del INVERSOR CMOS básico se muestra en la Figura 2 (a). El INVERSOR CMOS tiene dos MOSFET en serie de modo que, el dispositivo con canales P tiene su fuente conectada a $+V_{DD}$ (un voltaje positivo) y el dispositivo de canales N tiene su fuente conectada a masa. Las compuertas de los dos dispositivos se interconectan con una entrada común. Los drenajes de los dos dispositivos se interconectan con la salida común.

El circuito mostrado en la Figura 2 (a) representa un INVERSOR CMOS y está formado por un transistor de canal tipo P (Q_{P1}) y otro de canal tipo N (Q_{N1}).

Los niveles lógicos para CMOS son esencialmente $+V_{DD}$ para 0 y 1 lógicos y 0 V para el 0 lógico. Consideremos primero el caso donde $A_1 = +V_{DD}$ (la entrada A_1 está en un nivel alto ('1')). En esta situación, la compuerta de Q_{P1} (canales P) está en 0 V en relación con la fuente de Q_{P1} . De este modo, Q_{P1} estará en el estado OFF con $R_{OFF} = 10^{10} \Omega$. La compuerta de Q_{N1} (canales N) estará en $+V_{DD}$ en relación con su fuente, es decir, transistor Q_{P1} se pone en estado de corte y el transistor Q_{N1} se activa. El resultado es un camino de baja impedancia de tierra a la salida y uno de alta impedancia de V_{DD} a la salida F.

A continuación, consideremos el caso donde $A_1 = 0$ V (la entrada A_1 está en nivel bajo ('0')). Q_{P1} tiene ahora su compuerta en un potencial negativo en relación con su fuente, en tanto que Q_{N1} tiene $V_{GS} = 0$ V. De este modo, Q_{P1} estará encendida con $R_{ON} = 1 \text{ k}\Omega$ y Q_{N1} apagada con $R_{OFF} = 10^{10} \Omega$, produciendo un F de aproximadamente $+V_{DD}$.

En resumen Q_{P1} se activa y el transistor Q_{N1} se pone en estado de corte. El resultado es un camino de baja impedancia de V_{DD} a la salida F y uno de alta impedancia de tierra a la salida.

Como podemos observar, los transistores operan de forma complementaria. Cuando la tensión de entrada se encuentra en alto (1 lógico), el transistor NMOS entra en estado de conducción y el transistor PMOS entra en corte, haciendo que la salida quede en bajo (0 lógico). La situación inversa ocurre cuando la tensión se encuentra en bajo.

Estos datos de operación se resumen en la Figura 2 (b), donde se muestra que el circuito actúa como un INVERSOR lógico.

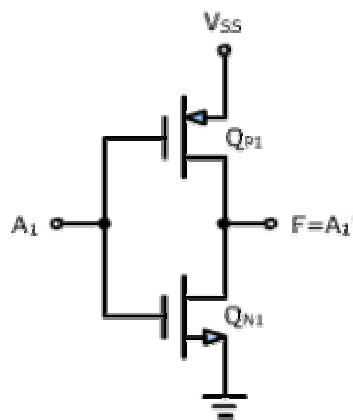


Figura 2 (a). Esquema del INVERSOR CMOS.

A_1	F
'0'	'1'
'1'	'0'

Figura 2 (b). Tabla de estados del INVERSOR CMOS.

B) COMPUERTA NAND CMOS

Se pueden construir otras funciones lógicas diferentes del INVERSOR básico. La Figura 3 (a) muestra una compuerta NAND formada por la adición de un MOSFET de canales P en paralelo y un MOSFET de canales N en serie al INVERSOR básico. Para analizar este circuito conviene recordar que una entrada de 0 V enciende el P-MOSFET y apaga el N-MOSFET correspondientes, y viceversa para una entrada $+V_{DD}$. Cuando ambas entradas (A_1 y B_1) están en nivel alto ($+V_{DD}$), hacen que los transistores Q_{P1} y Q_{P2} entren en corte y se encienden ambos N-MOSFET (transistores Q_{N1} y Q_{N2}), con lo cual ofrece una baja resistencia de la terminal de salida a tierra (la salida pasa a bajo (0) a través de Q_{N1} y Q_{N2}).

En todas las otras condiciones de entrada, de cuando menos un P-MOSFET estará encendido en tanto que al menos un N-MOSFET estará apagado. Esto produce una salida ALTA (a través de Q_{P1} y Q_{P2}).

Las entradas no usadas de una compuerta CMOS no se pueden dejar abiertas, porque la salida resulta ambigua. Cuando sobra alguna entrada de una compuerta CMOS se debe conectar a otra entrada o a uno de los dos terminales de alimentación. Esto también es válido para circuitos secuenciales y demás circuitos CMOS, como por ejemplo, contadores, Flip-Flops, etc.

Estos datos de operación se resumen en la Figura 3 (b), donde se muestra que el circuito actúa como una compuerta NAND CMOS.

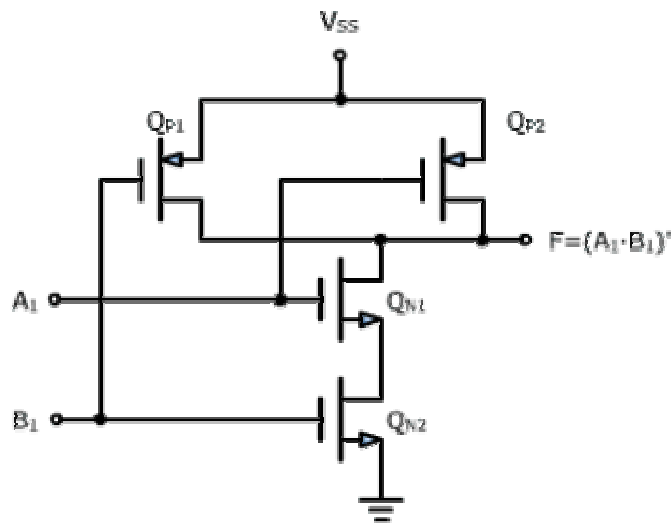


Figura 3 (a). Esquema de la compuerta NAND CMOS.

A_1	B_1	F
'0'	'0'	'1'
'0'	'1'	'1'
'1'	'0'	'1'
'1'	'1'	'0'

Figura 3 (b). Tabla de estados de la compuerta NAND CMOS.

C) COMPUERTA NOR CMOS

Una compuerta NOR CMOS se forma agregando un P-MOSFET en serie y un N-MOSFET en paralelo al inversor básico (Figura 4 (a)).

Una vez más este circuito se puede analizar entendiendo que un estado BAJO en cualquier entrada enciende P-MOSFET (Q_{P1} y Q_{P2} entran a conducción) y apaga el N-MOSFET (Q_{N1} y Q_{N2} entran a corte) correspondiente. La salida pasa a alto (1) a través de Q_{P1} y Q_{P2} .

Las entradas en un estado ALTO, hacen que los transistores Q_{P1} y Q_{P2} entren en corte y ambos transistores Q_{N1} y Q_{N2} en conducción (la salida pasa a bajo (0) a través de Q_{N1} y Q_{N2}).

En las parejas de transistores ya sean de canal n ó de canal p, si cualquier entrada es baja, uno de los transistores entra a corte y otro a conducción. La salida pasa a bajo (0) acoplándose a través de transistores en conducción a tierra.

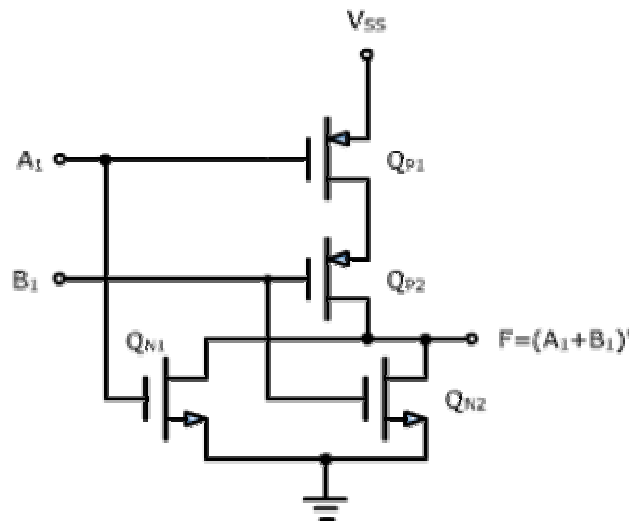


Figura 4 (a). Esquema de la compuerta NOR CMOS.

A_1	B_1	F
'0'	'0'	'1'
'0'	'1'	'0'
'1'	'0'	'0'
'1'	'1'	'0'

Figura 4 (b). Tabla de estados de la compuerta NOR CMOS.

D) COMPUERTAS AND Y OR

Las compuertas AND y OR CMOS se pueden formar combinando compuertas NAND y NOR con inversores.

3. Características de las series CMOS

Existen varias series en la familia CMOS de circuitos integrados digitales, estudiaremos las principales características de cada una.

·) **Serie 4000/14000**

Las primeras series CMOS fueron la serie 4000, que fue introducida por RCA y la serie 14000 por Motorola. La serie original es la 4000A; la 4000B representa mejora con respecto a la primera y tiene mayor capacidad de corriente en sus salidas. A pesar de la aparición de la nueva serie CMOS, las series 4000 siguen teniendo uso muy difundido. La serie 4000A es la línea más usada de Circuitos Integrados digitales CMOS, contiene algunas funciones disponibles en la serie TTL 7400 y está en expansión constante. Algunas características más importantes de esta familia lógica son:

- a) La disipación de potencia de estado estático de los circuitos lógicos CMOS es muy baja.
- b) Los niveles lógicos de voltaje CMOS son 0 V para 0 lógico y V_{DD} para 1 lógico. El suministro V_{DD} puede estar en el rango 3 V a 15 V para la serie 4000. La velocidad de conmutación de la familia CMOS 4000A varía con el voltaje de la fuente. (consultar el apartado de los niveles de voltaje).
- c) Todas las entradas CMOS deben estar conectadas a algún nivel de voltaje.

·) **Serie 74C**

Esta serie CMOS su característica principal es que es compatible terminal por terminal y función por función, con los dispositivos TTL que tienen el mismo número (muchas de las funciones TTL, aunque no todas, también se encuentran en esta serie CMOS). Esto hace posible reemplazar algunos circuitos TTL por un diseño equivalente CMOS. Por ejemplo, 74C74 contiene dos flip-flops tipo D disparados por flanco y tiene la misma configuración de terminales que el CI TTL 7474, que también ofrece dos flip-flops tipo D disparados por flanco. El resto de las características son iguales a la serie 74C.

Las series HC/ HCT tienen como característica principal su alta velocidad.

·) **Serie 74HC (CMOS de alta velocidad)**

Esta es una versión mejor de la serie 74C. La principal mejora radica en un aumento de diez veces en la velocidad de conmutación (comparable con la de los dispositivos de la serie 74LS de TTL). Otra mejora es una mayor capacidad de corriente en las salidas. La serie 74HC son los CMOS de alta velocidad, tienen un aumento de 10 veces la velocidad de conmutación. La serie 74HCT es también de alta velocidad, y también es compatible en lo que respecta a los voltajes con los dispositivos TTL.

·) **Serie 74HCT**

Esta serie también es una serie CMOS de alta velocidad, y está diseñada para ser compatible en lo que respecta a los voltajes con los dispositivos TTL, es decir, las entradas pueden provenir de salidas TTL (esto no es cierto para las demás series CMOS.)

4. Características comunes a todos los dispositivos CMOS

Vamos a comentar las características más importantes de operación y desempeño.

A) VOLTAJE DE ALIMENTACIÓN

Las series 4000 y 74C funcionan con valores de V_{DD} , que van de 3 a 15 V, por lo que la regulación del voltaje no es un aspecto crítico. Las series 74HC y 74RCT funcionan con un menor margen de 2 a 6 V. Cuando se emplean dispositivos CMOS y TTL, juntos, es usual que el voltaje de alimentación sea de 5 V para que una sola fuente de alimentación de 5 V proporcione V_{DD} para los dispositivos CMOS y V_{CC} para los TTL. Si los dispositivos CMOS funcionan con un voltaje superior a 5V para trabajar junto con TTL se deben de tomar medidas especiales.

B) NIVELES DE VOLTAJE

Cuando las salidas CMOS manejan sólo entradas CMOS, los niveles de voltaje de la salida pueden estar muy cercanos a 0V para el estado bajo, y a V_{DD} para el estado alto. Esto es el resultado directo de la alta

resistencia de entrada de los dispositivos CMOS, que extrae muy poca corriente de la salida a la que está conectada.

$V_{OL} \text{ (max)}$	0V
$V_{OH} \text{ (min)}$	V_{DD}
$V_{IL} \text{ (max)}$	30% V_{DD}
$V_{IH} \text{ (min)}$	70% V_{DD}

Los requerimientos de voltaje en la entrada para dos estados lógicos se expresa como un porcentaje del voltaje de alimentación, tal y como se expresa en la tabla adjunta.

De esta forma, cuando un CMOS funciona con $V_{DD} = 5 \text{ V}$, acepta voltaje de entrada menor que $V_{IL}(\text{máx}) = 1.5 \text{ V}$ como BAJO, y cualquier voltaje de entrada mayor que $V_{IH}(\text{mín}) = 3.5 \text{ V}$ como ALTO.

C) INMUNIDAD AL RUIDO

Se denomina ruido a “cualquier perturbación involuntaria que puede originar un cambio no deseado en la salida del circuito.” El ruido puede generarse externamente por la presencia de escobillas en motores o interruptores, por acoplo por conexiones o líneas de tensión cercanas o por picos de la corriente de alimentación. Los circuitos lógicos deben tener cierta inmunidad al ruido la cual es definida como “la capacidad para tolerar fluctuaciones en la tensión no deseadas en sus entradas sin que cambie el estado de salida”. Los fabricantes establecen un margen de seguridad para no sobrepasar los valores críticos de tensión conocido como MARGEN DE RUIDO.

En la Figura 5. tenemos los valores críticos de las tensiones de entrada y salida de una puerta lógica y los márgenes de ruido a nivel alto y bajo.

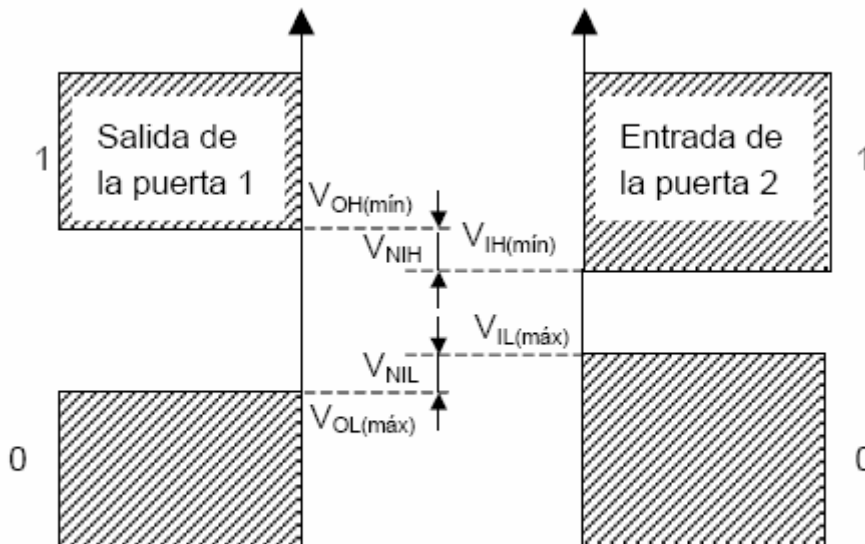


Figura 5. Márgenes de ruido.

Si la tensión de entrada mínima a nivel alto de una puerta tiene como valor $V_{IH\text{mín}}$, la tensión mínima de salida a nivel alto debe ser igual o superior a $V_{IH\text{mín}}$. Pero para evitar la influencia de ruidos que afecten a la siguiente puerta, no se permitirá una tensión de salida inferior a $V_{IH\text{mín}}$ más el margen de ruido a nivel alto (V_{NIH}): $V_{OH\text{mín}} = V_{IH\text{mín}} + V_{NIH}$

Para determinar el valor de $V_{OL\text{máx}}$ aplicamos el mismo criterio pero utilizando el margen de ruido a nivel bajo (V_{NIL}): $V_{OL\text{máx}} = V_{IL\text{máx}} - V_{NIL}$

Margen de ruido a nivel bajo (V_{NIL}): $V_{NIL} = V_{IL\text{máx}} - V_{OL\text{máx}}$

Margen de ruido a nivel alto (V_{NIH}): $V_{NIH} = V_{OH\text{mín}} - V_{IH\text{mín}}$

Los márgenes de ruido son los mismos en ambos estados y dependen de V_{DD} . En $V_{DD} = 5\text{ V}$, los márgenes de ruido son 1.5 V. Observamos una mayor inmunidad al ruido que las TTL, siendo CMOS una atractiva alternativa para aplicaciones que están expuestas a un medio con mucho ruido. Evidentemente, los márgenes de ruido pueden mejorarse utilizando un valor mayor de V_{DD} a expensas de un mayor consumo de potencia debido al mayor voltaje de alimentación.

Supongamos que trabajamos a un nivel bajo de $V_{OL} = 0.4\text{ V}$ con $V_{IL\text{ máx}} = 0.8\text{ V}$. En estas condiciones tendremos un margen de ruido para nivel bajo de: $V_{NIL} = 0.8 - 0.4 = 0.4$

D) DISIPACIÓN DE POTENCIA

La potencia disipada, es la media de potencia disipada a nivel alto y bajo. Se traduce en la potencia media que la puerta va a consumir.

Tal y como comentamos, uno de los principales motivos del empleo de la lógica CMOS es su “muy bajo consumo de potencia”. Cuando un circuito lógico CMOS se encuentra en estático (sin cambiar) o en reposo, su disipación de potencia es extremadamente baja, aumentando conforme aumenta la velocidad de conmutación.

Esto lo podemos observar examinando cada uno de los circuitos de las Figuras 2(a), 3(a) y 4(a), independientemente del estado de la salida, hay una muy alta resistencia entre el terminal V_{DD} y masa, debido a que siempre hay un MOSFET apagado en la trayectoria de la corriente. Por este motivo, se produce una disipación de potencia dc típica del CMOS de sólo 2.5 nW por compuerta cuando $V_{DD} = 5\text{ V}$; aún en $V_{DD} = 10$ aumentaría sólo 10 nW.

Con estos valores de P_D es fácil observar por qué la familia CMOS se usa ampliamente en aplicaciones donde el consumo de potencia es de interés primordial.

F) P_D AUMENTA CON LA FRECUENCIA

En la siguiente gráfica, Figura 6, podemos observar como la disipación de potencia en función de la frecuencia de una compuerta TTL es constante dentro del rango de operación. En cambio, en la compuerta CMOS depende de la frecuencia.

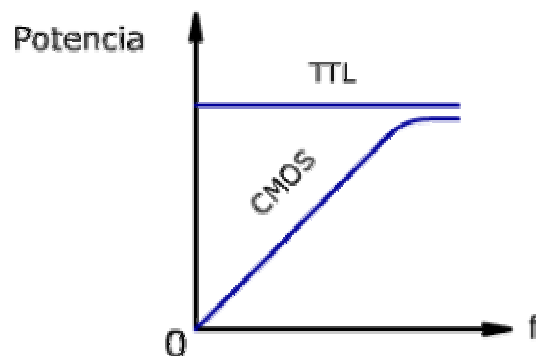


Figura 6. Curva de potencia en función de la frecuencia

La disipación de potencia de un CI CMOS será muy baja mientras esté en una condición dc. Desafortunadamente, P_D siempre crecerá en proporción a la frecuencia en la cual los circuitos cambian de estado.

Cada vez que una salida CMOS pasa de BAJO a ALTO, tiene que suministrarse una corriente de carga con oscilación momentánea a la capacitancia de carga. Esta capacitancia consta de las capacitancias de entrada de las cargas combinadas que se conducen y de la capacitancia de salida propia del dispositivo. Estas breves espigas de corriente son suministradas por V_{DD} y pueden tener una amplitud regular de 5 mA y una duración de 20 a 30 ns. Es obvio, que cuando la frecuencia de conmutación aumenta, habrá más de estas espigas de corriente por segundo y el consumo de corriente promedio de V_{DD} aumentará.

De este modo, en frecuencias más altas, CMOS comienza a perder algunas de sus ventajas sobre otras familias lógicas. Como regla general, una compuerta CMOS tendrá el mismo P_D en promedio que una compuerta 74LS en frecuencias alrededor de cerca de 2 a 3 MHz. Para CI MSI, la situación es más

compleja que la que se expresa aquí y un diseñador lógico debe realizar un análisis detallado para determinar si el CMOS tiene o no una ventaja en cuanto a la disipación de potencia en cierta frecuencia de operación.

G) FACTOR DE CARGA

Al igual que N-MOS y P-MOS, los CMOS tienen una resistencia de entrada extremadamente grande ($10^{12} \Omega$) que casi no consume corriente de la fuente de señales, cada entrada CMOS representa comúnmente una carga a tierra de 5 pF. Debido a su capacitancia de entrada se limita el número de entradas CMOS que se pueden manejar con una sola salida CMOS. Así pues, el factor de carga de CMOS depende del máximo retardo permisible en la propagación. Comúnmente este factor de carga es de 50 para bajas frecuencias (<1 MHz). Por supuesto para altas frecuencias, el factor de carga disminuye.

La salida CMOS tiene que cargar y descargar la combinación en paralelo de cada capacitancia de entrada, de manera que el tiempo de conmutación de salida aumente en proporción al número de cargas conducidas, cada carga CMOS aumenta el retardo en la conducción de la propagación del circuito por 3 ns.

Así podemos llegar a la conclusión de que el factor de carga de CMOS depende del máximo retardo permisible en la propagación

H) VELOCIDAD DE CONMUTACIÓN

Los CMOS, al igual que N-MOS y P-MOS, tiene que conducir capacitancias de carga relativamente grandes, su velocidad de conmutación es más rápida debido a su baja resistencia de salida en cada estado. Recordemos que una salida N-MOS tiene que cargar la capacitancia de carga a través de una resistencia relativamente grande (100 k Ω). En el circuito CMOS, la resistencia de salida en el estado ALTO es el valor R_{ON} del P-MOSFET, el cual es generalmente de 1 k Ω o menor. Esto permite una carga más rápida de la capacitancia de carga.

Los valores de velocidad de conmutación dependen del voltaje de alimentación que se emplee, por ejemplo en una a compuerta NAND de la serie 4000 el tiempo de propagación es de 50 ns para $V_{DD} = 5$ V y 25ns para $V_{DD} = 10$ V. Como podemos ver, mientras V_{DD} sea mayor podemos operar en frecuencias más elevadas. Por supuesto, mientras más grande sea V_{DD} se producirá una mayor disipación de potencia. Una compuerta NAND de las series 74HC o 7411CT tiene un t_{pd} promedio alrededor de 8 ns cuando funciona con un $V_{DD} = 5$ V. Esta velocidad es comparable con la de la serie 74LS.

I) ENTRADAS CMOS.

Las entradas CMOS nunca deben dejarse desconectadas, ya que son muy sensibles a la electricidad estática y al ruido, los cuales pueden fácilmente activar los canales MOSFET P y N en el estado conductor, produciendo una mayor disipación de potencia y posible sobrecalentamiento. Tienen que estar conectadas a un nivel fijo de voltaje alto o bajo (0 V o V_{DD}) o bien a otra entrada. Esta regla se aplica aún a las entradas de otras compuertas lógicas que no se utilizan en el mismo encapsulado.

J) SUSCEPTIBILIDAD A LA CARGA ESTÁTICAS

Las familias lógicas MOS son especialmente susceptibles a daños por carga electrostática. Esto es consecuencia directa de la alta impedancia de entrada de estos CI. Una pequeña carga electrostática que circule por estas altas impedancias puede dar origen a voltajes peligrosos. Los CMOS están protegidos contra daño por carga estática mediante la inclusión en sus entradas de diodos zéner de protección. Diseñados para conducir y limitar la magnitud del voltaje de entrada a niveles muy inferiores a los necesarios para provocar daño. Si bien los zéner por lo general cumplen con su finalidad, algunas veces no comienzan a conducir con la rapidez necesaria para evitar que el CI sufra daños. Por consiguiente, sigue siendo buena idea observar las precauciones de manejo presentadas antes para todos los CI.

5. Comparación entre familias lógicas

PARAMETRO	TTL estándar	TTL 74L	TTL Schottky de baja potencia (LS)	Fairchild 4000B CMOS (con $V_{cc}=5V$)	Fairchild 4000B CMOS (con $V_{cc}=10V$)
Tiempo de propagación de puerta	10 ns	33 ns	5 ns	40 ns	20 ns
Frecuencia máxima de funcionamiento	35 MHz	3 MHz	45 MHz	8 MHz	16 MHz
Potencia disipada por puerta	10 mW	1 mW	2 mW	10 nW	10 nW
Margen de ruido admisible	1 V	1 V	0'8 V	2 V	4 V
Fan out	10	10	20	50(*)	50(*)

Figura 7. Cuadro comparativo entre familias lógicas.
 (*) o lo que permita el tiempo de propagación admisible)

6. Diferencias entre las familias CMOS y TTL

Las diferencias más importantes entre ambas familias son:

- En la fabricación de los circuitos integrados se usan transistores bipolares par el TTL y transistores MOSFET para la tecnología CMOS
- Los CMOS requieren de mucho menos espacio (área en el CI) debido a lo compacto de los transistores MOSFET. Además debido a su alta densidad de integración, los CMOS están superando a los CI bipolares en el área de integración a gran escala, en LSI - memorias grandes, CI de calculadora, microprocesadores-, así como VLSI.
- Los circuitos integrados CMOS es de menor consumo de potencia que los TTL.
- Los CMOS son más lentos en cuanto a velocidad de operación que los TTL.
- Los CMOS tienen una mayor inmunidad al ruido que los TTL.
- Los CMOS presenta un mayor intervalo de voltaje y un factor de carga más elevado que los TTL.

En resumen podemos decir que:

TTL: diseñada para una alta velocidad.
 CMOS: diseñada para un bajo consumo.

Actualmente dentro de estas dos familias se han creado otras, que intentan conseguir lo mejor de ambas: un bajo consumo y una alta velocidad.

La familia lógica ECL se encuentra a caballo entre la TTL y la CMOS. Esta familia nació como un intento de conseguir la rapidez de TTL y el bajo consumo de CMOS, pero en raras ocasiones es empleada.

7. Bibliografía

- CHRISTIAN TAVERNIER, “Circuitos lógicos programables”, Paraninfo, 1994.

- NEIL H. E. WESTE, KAMRAN ESHRAGHIAN, “Principles of CMOS VLSI design. A Systems Perspective”, Addison Wewsley, 1994.

- R.L. GEIGER, P.E. ALLEN, N.R. STRADER, “VLSI Design techniques for analog and digital circuits”, McGraw-Hill, 1990.

- EUGENE D. FABRICIUS, “Introduction to VLSI design”, McGraw-Hill.

- TOCCI, RONALD J, “Sistemas digitales. Principios y Aplicaciones”, Prentice Hall 1993.

- Páginas de Internet:
http://www.ace.ual.es/~vruiz/docencia/laboratorio_estructura/practicas/html/node5.html
<http://www.uv.es/~marinjl/electro/digital2.html>
www.uv.es/~marinjl/electro/digital2.html
[usuarios.lycos.es/tervenet/ TUTORIALES/Electronica_digital.htm](http://usuarios.lycos.es/tervenet/TUTORIALES/Electronica_digital.htm)
www.virtual.unal.edu.co/cursos/ingenieria/2000477/lecciones/090101.htm